

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Kazutaka Inukai
Serial No. : New Application
Filed : December 30, 2003
Title : CIRCUIT, DISPLAY DEVICE, AND ELECTRONIC DEVICE

Art Unit : Unknown
Examiner : Unknown

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119

Applicant hereby confirms his claim of priority under 35 USC §119 from the following application:

Japan Application No. 2003-000672 filed January 6, 2003

A certified copy of the application from which priority is claimed is submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Date: December 30, 2003



John F. Hayden
Reg. No. 37,640

Customer No. 26171
Fish & Richardson P.C.
1425 K Street, N.W., 11th Floor
Washington, DC 20005-3500
Telephone: (202) 783-5070
Facsimile: (202) 783-2331

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 1月 6日
Date of Application:

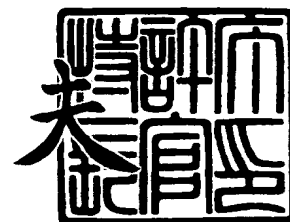
出願番号 特願2003-000672
Application Number:
[ST. 10/C]: [JP 2003-000672]

出願人 株式会社半導体エネルギー研究所
Applicant(s):

2003年12月 2日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



【書類名】 特許願

【整理番号】 P006879

【提出日】 平成15年 1月 6日

【あて先】 特許庁長官 太田 信一郎 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 犬飼 和隆

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 回路、表示装置及び電子機器

【特許請求の範囲】

【請求項 1】

電流出力回路と電圧源とデータ入力部と出力部とを備え、
前記データ入力部にはデジタル形式のデータが入力され、
前記データ入力部の該データが所定値である場合には、定電圧が前記電圧源から前記出力部へ供給され、
他の場合には、前記データ入力部の該データの値に対応した電流が前記電流出力回路から前記出力部へ供給される
ことを特徴とする電流出力 D A コンバータ回路。

【請求項 2】

電流出力回路と電圧源とデータ入力部と出力部とを備え、
前記電圧源と前記出力部との間には複数のスイッチが直列に設置され
前記データ入力部にはデジタル形式のデータが入力され、
前記データ入力部の該データが所定値である場合には、前記複数のスイッチが全てオンをなる
ことを特徴とする電流出力 D A コンバータ回路。

【請求項 3】

前記電流出力回路が、
複数の駆動トランジスタを有し、
前記複数の駆動トランジスタは互いにゲート電極を電氣的に接続し、該ゲート電極と前記複数の駆動トランジスタの各ドレインとの間にスイッチを備えた
ことを特徴とする請求項 1 または 2 に記載の電流出力 D A コンバータ回路。

【請求項 4】

請求項 1 乃至 3 のいずれか一項に記載の前記電流出力 D A コンバータ回路を有することを特徴とする表示装置。

【請求項 5】

請求項 1 乃至 3 のいずれか一項に記載の前記電流出力 D A コンバータ回路を使

用することを特徴とする電子機器。

【請求項 6】

請求項 4 に記載の前記表示装置を有することを特徴とする電子機器。

【発明の詳細な説明】

【 0 0 0 1】

【発明の属する技術分野】

本発明は、電流出力回路、D A コンバータ回路の技術に関する。さらには、前記電流出力回路、D A コンバータ回路を搭載した表示装置、電子機器に関する。

【 0 0 0 2】

【従来の技術】

近年、画像の表示を行う薄型表示装置の重要性が増している。薄型表示装置としては、液晶素子を用いて画像の表示を行う液晶表示装置が、薄型、高画質、軽量などの利点を活かして、携帯電話やパソコンをはじめとする種々の用途の表示装置（ディスプレイ装置）として幅広く用いられている。

【 0 0 0 3】

他方で、発光素子を用いた薄型表示装置、発光装置の開発も進められている。この発光素子には、有機材料、無機材料、薄膜材料、バルク材料、分散材料等、広汎にわたる様々な材料を利用した多様な素子が存在する。

【 0 0 0 4】

薄型表示装置向けに特に有望視されている代表的な発光素子は、有機発光ダイオード（O L E D）素子である。O L E D 素子を用いた O L E D 表示装置は、既存の液晶表示装置以上に薄型、軽量である特長に加え、動画表示に適した高応答速度、高視野角、低電圧駆動などの特長を有しているため、携帯電話や携帯情報端末（P D A）をはじめテレビ、モニターなど、幅広い用途が見込まれ、次世代ディスプレイとして注目されている。

【 0 0 0 5】

中でもアクティブマトリクス（A M）型の O L E D 表示装置は、パッシブマトリクス（P M）型では困難な、高精細、大画面の表示も可能であるうえ、P M 型を上回る低消費電力動作で高信頼性を有し、実用化への期待は大変強い。A M 型

の他の利点として、駆動回路をパネル上に集積することができれば、パネルの狭額縁化が図れ、高付加価値品となるという点もある。

【0006】

OLED素子は一般に、陽極と、陰極と、該陽極と該陰極との間に有機化合物を含む層とを有する構造をしている、電流駆動型の発光素子である。電流駆動型というのは、OLED素子に流れる電流量と発光輝度が概ね比例するためである。

【0007】

AM型OLED表示装置において画像を表示する駆動方式には、電圧入力方式と電流入力方式がある。前者の電圧入力方式は、画素に入力するビデオ信号として、電圧値形式データのビデオ信号を入力する。他方、後者の電流入力方式は、画素に入力するビデオ信号として、電流値形式データのビデオ信号を入力する。AM型OLED表示装置においては、一般論としては、電流入力方式の方がより好ましい傾向にある。

【0008】

電流入力方式の方が好ましい理由は、表示品位上の問題である。AM型OLED表示装置の画素では、電圧入力方式にしても電流入力方式にしても、該画素のOLED素子の発光輝度を制御する画素駆動トランジスタを、OLED素子に直列に接続している。電圧入力方式では通常、画素駆動トランジスタのゲート電極にビデオ信号の電圧が直接印加される。そのためOLED素子を定電流発光させる場合、画素駆動トランジスタの電気的特性が各々の画素間で均一でなくバラつきを有していると、各画素のOLED素子駆動電流にバラつきが生じる。OLED素子駆動電流のバラつきは、OLED素子の発光輝度のバラつきとなり、画面全体で見ると砂嵐状あるいは絨毯模様のムラとして表示画像の品位を低下させる。

【0009】

特に現在通常は、画素駆動トランジスタとして、多結晶（ポリ）シリコンTFTが用いられる。画素駆動トランジスタとして非晶質（アモルファス）シリコン薄膜トランジスタ（TFT）を用いると、高輝度の発光に十分な電流が得られな

いたためである。しかし、ポリシリコン T F T では、結晶粒界における欠陥等に起因して電気的特性にバラつきが生じやすい。

【0010】

電流入力方式は A M 型 O L E D 表示装置において、電圧入力方式よりも一般的には好ましいにもかかわらず、課題もある。その一つが、電流入力方式では電圧入力方式よりも駆動回路がやや複雑で、パネル上に集積しにくいことである。

【0011】

【発明が解決しようとする課題】

代表的な電流入力方式 A M 型表示装置のパネル構成を、図 7～図 9 及び図 4 を用いて説明する。

【0012】

図 9 がパネル全体の構成図である。画素がマトリクス状に配置された画素部 9 3 1 が存在するだけでなく、ゲート駆動回路 9 2 1 やデータ駆動回路 9 1 1 がパネル上に一体形成されていることが多い。データ駆動回路 9 1 1 内の一点鎖線部 9 1 3 はセレクト回路である。図 9 の点線部 9 1 2 a、9 1 2 b は電流データ出力回路であり、図 8 の点線部 8 4 2 のような構成をとる。

【0013】

図 8 の電流データ出力回路は大別すると、シフトレジスタ部、デジタルデータラッチ部、電流源（電流出力回路）、D A スイッチの 4 部よりなる。電流源（電流出力回路）と D A スイッチは、合わせて電流出力 D A コンバータ回路を構成している。

【0014】

シフトレジスタ部に相当するのが 8 0 1～8 0 3 であり、8 0 3 は正と反のクロック信号線、チェッカ部 8 0 1～8 0 2 は図 4 の 4 0 3 に示す回路である。シフトレジスタ部はタイミング信号を順次出力発生させ、デジタルデータラッチ部がこのタイミング信号に合わせて画像データ（デジタルデータ）をデータ信号線から読込む。

【0015】

デジタルデータラッチ部に相当するのが 8 1 1～8 1 8 であり、8 1 7 は各

ビットのデータ信号線、818はラッチ信号線、チェッカ部815～816は図4の403に示す回路である。図8では画像データ（デジタルデータ）は3ビットを想定しているため、データ信号線は3本にしてある。また812と813のチェッカ部815～816は図上では省略してある。デジタルデータラッチ部からのタイミング信号に合わせて読込まれた画像データ（デジタルデータ）は、ラッチ信号に同期してDAスイッチ821～823へ伝達される。

【0016】

電流源（電流出力回路）に相当するのはドット部824であり、具体的な回路構成は図7のドット部791に示す。各ビットに対応する電流源が独立に設けられている。従って例えば701、711、721、731、741よりなる電流源回路は、702、712、722、732、742よりなる電流源回路とは全く独立である。

【0017】

DAスイッチに相当する821～823は、図7では761～763としてある。各DAスイッチは並列に設置されているので、DAスイッチがオン状態にある全ビットの電流源の合計電流が、結果的に電流データ出力回路から出力される。

【0018】

パネル外における画像データの処理はデジタル電圧データとして行うのが最も便利であるから、図8の電流データ出力回路における、電流出力DAコンバータ回路は重要である。しかし該DAコンバータでは全ビットについて、別々に電流値を設定する必要があり動作が煩雑となる。またビット数が大きな場合には、電流設定用の入力線数の増加、レイアウトの複雑化、大面積化につながってしまう。

【0019】

パネル外における画像データの処理はデジタル電圧データとして行うのが最も便利であるから、図8の電流データ出力回路における、電流出力DAコンバータ回路は重要である。しかし該DAコンバータは、例えば出力すべきアナログ電流がゼロ又は極めて微小である場合、長い設定時間を要するという不都合がある。

【0020】

本発明は、デジタル電圧値形式のデータを読み込みアナログ電流値形式のデータ outputs DA コンバータ回路において、設定時間の短縮を図る方法を提供することを課題とする。本発明は、電流入力方式のAM型OLED表示装置に使用するデータ駆動回路として用いることができる。

【0021】**【課題を解決するための手段】**

まず本発明は、電流出力DA コンバータ回路を含むものである。

【0022】

前記電流出力DA コンバータ回路は、複数の駆動トランジスタを備えた電流出力回路を有し、該複数の駆動トランジスタの各ドレインに、ビットデータに対応してオンオフ制御されるスイッチが備えられている構成になっているのが望ましい。ただし、これに限定されるわけではない。前記電流出力DA コンバータ回路は、複数の駆動トランジスタを有し、該複数の駆動トランジスタは互いにゲート電極を電氣的に接続し、該ゲート電極と前記複数の駆動トランジスタの各ドレインとの間にスイッチを備えたことを特徴とする電流出力回路を含むものであってもよい。

【0023】

そして本発明の前記電流出力DA コンバータ回路は、入力されるデータが所定の場合には、例外的に定電圧を供給するような機能をもっている。

【0024】

さらに本発明は、前記電流出力DA コンバータ回路を使用する表示装置、電子機器を含むものである。

【0025】**【発明の実施の形態】****(実施の形態1)**

本発明の実施の一例を図9、図3、図4、図1を用いて説明する。この例は本発明のDA コンバータ回路を、AM型OLED表示装置のデータ駆動回路に使用する場合である。この例では、3ビットのデジタル電圧値形式のデータを画像

データとして読込むが、本発明のDAコンバータ回路にビット数の制限がないことは勿論である。なお本例の以下の説明において、図1の回路に相当する部分を、図2或いは図7の回路に代えることも可能である。

【0026】

図9がパネル全体の構成図である。画素がマトリクス状に配置された画素部931と、ゲート駆動回路921と、データ駆動回路911がパネル上に一体形成されている。データ駆動回路911内の一点鎖線部913はセクタ回路である。図9の点線部912a、912bは電流データ出力回路であり、図3の点線部342のような構成をとる。

【0027】

以下、まず電流データ出力回路912a、912bに相当する342（図3）につき説明し、それからセクタ回路913の説明をする。

【0028】

図3の電流データ出力回路342は大別すると、シフトレジスタ部、デジタルデータラッチ部、電流源（電流出力回路）、DAスイッチ、電圧源スイッチの5部分よりなる。電流源（電流出力回路）とDAスイッチは、合わせて電流出力DAコンバータ回路を構成している。

【0029】

シフトレジスタ部に相当するのが301～303であり、303は正と反のクロック信号線、チェッカ部301～302は、例えば図4の403に示す回路で構成される。もっともチェッカ部301～302の構成は、403に示す回路に限定はされない。同等の機能を実現するいかなる回路でもよい。

【0030】

シフトレジスタ部301～303はタイミング信号を順次出力発生させ、デジタルデータラッチ部がこのタイミング信号に合わせて画像データ（デジタルデータ）をデータ信号線から読込む。

【0031】

デジタルデータラッチ部に相当するのが311～318であり、317は各ビットのデータ信号線、318はラッチ信号線、チェッカ部315～316は図

4の403に示す回路を用いることができる。図3では画像データ（デジタルデータ）は3ビットを想定しているため、データ信号線は3本にしてある。また312と313のチェッカ部315～316は図上では省略してある。デジタルデータラッチ部からのタイミング信号に合わせて読込まれた画像データ（デジタルデータ）は、ラッチ信号に同期してDAスイッチ321～323へ伝達される。

【0032】

電流源（電流出力回路）に相当するのはドット部324であり、具体的な回路構成は図1のドット部191に示す。トランジスタ101～103は駆動トランジスタである。またDAスイッチに相当するのが、トランジスタ161～163（図1）である。このDAスイッチトランジスタは、図3では321～323に相当する。

【0033】

図1では各ビットに対応する駆動トランジスタは、独立に設けられている。例えば第1ビット（MSB）は101、第2ビットは102、第3ビット（LSB）は103であり、各トランジスタのL/Wサイズは、概ね1:2:4としておく。しかし駆動トランジスタ101～103はゲート電極が電氣的に接続されているので、同時に基準電流を設定することが可能である。この点で図1の回路は、図7の回路と異なる。また図1の回路は、図7の回路よりもトランジスタや配線が少ないため、小面積化が果たせる。

【0034】

図1の電流源（電流出力回路）に基準電流を設定する際の動作を説明する。

【0035】

基準電流を設定するときは、まずデジタル信号入力線151～153からトランジスタ161～163がオフとなるような信号を入力する。トランジスタ161～163がnチャネル型の場合は、ロウ（低電圧）信号である。ただし182の先が電氣的に開放（ハイインピーダンス）状態となっているなど、出力部182から電流が洩れる心配がない場合には、トランジスタ161～163をオフにする必要はない。

【0036】

次に電流設定信号入力線110からトランジスタ121～123、140がオンとなるような信号を入力する。これらのトランジスタがnチャネル型の場合は、ハイ（高電圧）信号である。すると基準電流源170から定電圧源181へと基準電流が流れる。このとき駆動トランジスタ101～103はゲートとドレインが短絡されている。そのため電流が定常値となった後で、電流設定信号入力線110からトランジスタ121～123、140がオフとなるような信号を入力すると、駆動トランジスタ101～103のゲート電圧として基準電流が記憶される。

【0037】

基準電流の設定はこれで終了する。もっとも駆動トランジスタ101～103のゲートノードからの洩れ電流が微少であるが存在するので、定期的（或いは不定期）に基準電流の設定は反復する必要がある。

【0038】

基準電流設定後、デジタル信号入力線151～153から画像信号に対応するデジタル電圧信号を入力する。デジタル信号入力線151～153は、電流出力DAコンバータ回路192のデータ入力部に相当する。DAスイッチトランジスタ161～163は並列に設置されているので、DAスイッチがオン状態にある全ビットの電流源の合計電流が、結果的に出力部182から出力される。こうして、デジタル電圧データがアナログの電流に変換される。

【0039】

図1の電流出力DAコンバータ回路192において、駆動トランジスタ101～103のしきい電圧値、電界効果移動度等の電気的特性にバラつきがあると、中間階調の表示が不正確となる可能性がある。しかし、先述の基準電流設定により、最大階調での正確な表示は保証される。

【0040】

また図1の電流出力DAコンバータ回路192においては、基準電流設定は全ビット同時に行われるので、各ビット別々に設定を要する図7の場合と比較し、煩雑さが解消される。

【0041】

図1の例は、3ビットのデジタル電圧値形式のデータを読み込み、アナログ電流値形式のデータを出力するDAコンバータ回路であるが、Nビット（Nは2以上の任意の整数）のデジタル電圧値形式のデータを読み込む場合についても、同様の構成を用いることができる。

【0042】

また図1の例では、駆動トランジスタ101～103がnチャネル型であり181が低電圧源であるが、駆動トランジスタ101～103がpチャネル型であり181が高電圧源であっても同様の構成を用いることができる。さらに他の構成であっても、複数の駆動トランジスタを有し、前記複数の駆動トランジスタは互いにゲート電極を電氣的に接続し、該ゲート電極と前記複数の駆動トランジスタの各ドレインとの間にスイッチを備えた電流出力回路を含むものであればよい。

【0043】

パネル外における画像データの処理はデジタル電圧データとして行うのが最も便利であるから、図3の電流データ出力回路における、電流出力DAコンバータ回路192（図1）又は335（図3）は重要である。

【0044】

しかし例えば出力すべきアナログ電流がゼロ又は極めて微小である場合、長い設定時間を要することとなり、図1の電流出力DAコンバータ回路のみでは不都合である。

【0045】

そのようなとき、本発明の電圧出力機能が有用である。以下、電圧源スイッチトランジスタ331～333を用いて、電圧出力する動作を説明する。

【0046】

図3において334は定電圧源（定電圧線）である。図1の電流出力DAコンバータ回路が低電圧の電流出力回路であるから、出力すべきアナログ電流がゼロとなるのは高電圧の場合である。よって334は高電圧の定電圧として用いると都合が良い。この場合、電圧源スイッチトランジスタ331～333はpチャネ

ル型にして直列で接続し、デジタル電圧データが全ビットでロウ信号の場合のみ電圧出力するようにすればよい。

【0047】

なお、図3においては電圧源スイッチトランジスタ331～333をpチャネル型としたが、これに限定されるわけではない。当然、場合によりnチャネル型を用いることも可能である。

【0048】

また電圧源スイッチトランジスタ331～333は、他の構成を採用しても構わない。

【0049】

以上まとめて、電流データ出力回路912a、912bに相当する342につき説明した。次にセクタ回路913の説明をする。セクタ回路913の具体例の一つとして図10（955）に回路構成を示すが、これに限定されるものではない。

【0050】

図9のセクタ回路913は、電流データ出力回路912aまたは912bの出力をデータ線914aまたは914bに切替える。図9では、セクタ回路1個につき電流データ出力回路の個数とデータ線の本数の比は2：2あるが、一般にはこれ以外の比も可能である。ここで本質的なことは、セクタ回路1個につき電流データ出力回路が複数個設けられる点である。

【0051】

セクタ回路1個につき電流データ出力回路が複数個設けられることにより、一つの電流データ出力回路がデータ出力している間にも、他の電流データ出力回路の電流源（図1のドット部191）に基準電流設定をすること可能となる。したがって時間の有効活用ができる。

【0052】

例えば、奇数フレーム目では電流データ出力回路912aに基準電流設定をしつつ912bでデータ出力し、偶数フレーム目では電流データ出力回路912bに基準電流設定をしつつ912aでデータ出力することが可能である。そうする

と、データ出力のための期間と別個に基準電流設定のための期間を設ける必要がなくなり、時間の有効活用ができる。

【0053】

図9のセクタ回路913は、以上の利点をもたらすことから有用であるが、本発明に必須の要素ではない。よって、図9に代えて他の構成を採用しても構わない。

【0054】

(実施の形態2)

本発明の実施の他の一例を図5、図3、図4、図2を用いて説明する。この例は本発明のDAコンバータ回路を、AM型OLED表示装置のデータ駆動回路に使用する場合である。この例では、3ビットのデジタル電圧値形式のデータを画像データとして読込むが、本発明のDAコンバータ回路にビット数の制限がないことは勿論である。なお本例の以下の説明において、図2の回路に相当する部分を、図1或いは図7の回路に代えることも可能である。

【0055】

図5がパネル全体の構成図である。画素がマトリクス状に配置された画素部531と、ゲート駆動回路521と、データ駆動回路511がパネル上に一体形成されている。図5の点線部512は電流データ出力回路であり、図3の点線部342のような構成をとる。なお本例においても、図5に代えて図9のようなセクタ回路を有するデータ駆動回路を使用してもよいが、説明を簡単にするためパネル全体の構成は図5のとおりとする。

【0056】

以下、電流データ出力回路512に相当する342につき説明する。

【0057】

図3の電流データ出力回路342は大別すると、シフトレジスタ部、デジタルデータラッチ部、電流源（電流出力回路）、DAスイッチ、電圧源スイッチの5部分よりなる。電流源（電流出力回路）とDAスイッチは、合わせて電流出力DAコンバータ回路を構成している。

【0058】

シフトレジスタ部に相当するのが301～303であり、303は正と反のクロック信号線、チェッカ部301～302は、例えば図4の403に示す回路で構成される。もっともチェッカ部301～302の構成は、403に示す回路に限定はされない。同等の機能を実現するいかなる回路でもよい。

【0059】

シフトレジスタ部301～303はタイミング信号を順次出力発生させ、デジタルデータラッチ部がこのタイミング信号に合わせて画像データ（デジタルデータ）をデータ信号線から読込む。

【0060】

デジタルデータラッチ部に相当するのが311～318であり、317は各ビットのデータ信号線、318はラッチ信号線、チェッカ部315～316は図4の403に示す回路を用いることができる。図3では画像データ（デジタルデータ）は3ビットを想定しているため、データ信号線は3本にしてある。また312と313のチェッカ部315～316は図上では省略してある。デジタルデータラッチ部からのタイミング信号に合わせて読込まれた画像データ（デジタルデータ）は、ラッチ信号に同期してDAスイッチ321～323へ伝達される。

【0061】

電流源（電流出力回路）に相当するのはドット部324であり、具体的な回路構成を図2のドット部291に示す。

【0062】

トランジスタ201～203は駆動トランジスタであり、トランジスタ261～263はDAスイッチトランジスタであり、図3の321～323に相当する。

【0063】

図2では各ビットに対応する駆動トランジスタは、独立に設けられている。例えば第1ビット（MSB）は201、第2ビットは202、第3ビット（LSB）は203であり、各トランジスタのL/Wサイズは、概ね1：2：4としておくのが望ましい。より一般的に言うと、各トランジスタのL/Wサイズは、概ね

$2^0 : 2^1 : \dots : 2^{N-1}$ (N は2以上の任意の整数) というように、バイナリの重み付けをするのが望ましい訳である。

【0064】

駆動トランジスタ202～203はゲート電極が電氣的に接続されているので、同時に基準電流を設定することが可能である。この点で図2の回路は、図7の回路と異なる。図2の回路は、図7の回路よりもトランジスタや配線が少ないため、小面積化が果たせる。

【0065】

さらに駆動トランジスタ201のゲート電極は、202～203のゲート電極と電氣的に接続されていない。この点で図2の回路は、図1の回路とも異なる。図2の回路は、第1ビット(MSB)の駆動トランジスタ201については、他のビットとは独立に基準電流を設定するため、MSBデータの電流値の正確性を期することができる。

【0066】

図2の電流源(電流出力回路)に基準電流を設定する際の動作を説明する。

【0067】

基準電流を設定するときは、まずデジタル信号入力線251～253からトランジスタ261～263がオフとなるような信号を入力する。トランジスタ261～263がnチャネル型の場合は、ロウ(低電圧)信号である。ただし282の先が電氣的に開放(ハイインピーダンス)状態となっているなど、出力部282から電流が洩れる心配がない場合には、トランジスタ261～263をオフにする必要はない。

【0068】

次に電流設定信号入力線210からトランジスタ222～223、240がオンとなるような信号を入力する。これらのトランジスタがnチャネル型の場合は、ハイ(高電圧)信号である。すると基準電流源270から定電圧源281へと基準電流が流れる。このとき駆動トランジスタ202～203はゲートとドレインが短絡されている。そのため電流が定常値となった後で、電流設定信号入力線210からトランジスタ222～223、240がオフとなるような信号を入力

すると、駆動トランジスタ 2 0 2 ～ 2 0 3 のゲート電圧として第 2、第 3 ビットの基準電流が記憶される。

【 0 0 6 9 】

これと同時に、或いは別のタイミングで、電流設定信号入力線 2 1 1 からトランジスタ 2 2 1、2 4 1 がオンとなるような信号を入力する。これらのトランジスタが n チャネル型の場合は、ハイ（高電圧）信号である。すると基準電流源 2 7 1 から定電圧源 2 8 1 へと基準電流が流れる。このとき駆動トランジスタ 2 0 1 はゲートとドレインが短絡されている。そのため電流が定常値となった後で、電流設定信号入力線 2 1 1 からトランジスタ 2 2 1、2 4 1 がオフとなるような信号を入力すると、駆動トランジスタ 2 0 1 のゲート電圧として第 1 ビット（MSB）の基準電流が記憶される。

【 0 0 7 0 】

基準電流の設定はこれで終了する。もっとも駆動トランジスタ 2 0 1 ～ 2 0 3 のゲートノードからの洩れ電流が微少であるが存在するので、定期的（或いは不定期）に基準電流の設定は反復する必要がある。

【 0 0 7 1 】

基準電流設定後、デジタル信号入力線 2 5 1 ～ 2 5 3 から画像信号に対応するデジタル電圧信号を入力する。デジタル信号入力線 2 5 1 ～ 2 5 3 は、電流出力 DA コンバータ回路 1 9 2 のデータ入力部に相当する。DA スイッチトランジスタ 2 6 1 ～ 2 6 3 は並列に設置されているので、DA スイッチがオン状態にある全ビットの電流源の合計電流が、結果的に出力部 2 8 2 から出力される。こうして、デジタル電圧データがアナログの電流に変換される。

【 0 0 7 2 】

図 2 の電流出力 DA コンバータ回路 2 9 2 において、駆動トランジスタ 2 0 2 ～ 2 0 3 のしきい電圧値、電界効果移動度等の電気的特性にバラつきがあると、中間階調の表示が不正確となる可能性がある。しかし、先述の基準電流設定により、最大階調および MSB の中間階調での正確な表示は保証される。

【 0 0 7 3 】

また図 2 の電流出力 DA コンバータ回路 2 9 2 においては、基準電流設定は第

2ビットと第3ビットで同時に行われるので、各ビット別々に設定を要する図7の場合と比較し、煩雑さが解消される。

【0074】

図2の例は、3ビットのデジタル電圧値形式のデータを読み込み、アナログ電流値形式のデータを出力するDAコンバータ回路であるが、Nビット（Nは2以上の任意の整数）のデジタル電圧値形式のデータを読み込む場合についても、同様の構成を用いることができる。

【0075】

また図2の例では、駆動トランジスタ201～203がnチャネル型であり281が低電圧源であるが、駆動トランジスタ201～203がpチャネル型であり281が高電圧源であっても同様の構成を用いることができる。さらに他の構成であっても、複数の駆動トランジスタを有し、前記複数の駆動トランジスタは互いにゲート電極を電氣的に接続し、該ゲート電極と前記複数の駆動トランジスタの各ドレインとの間にスイッチを備えた電流出力回路を含むものであればよい。

【0076】

さらにトランジスタ240の位置や容量230の接続ノードは、図2の例に制限されるわけではない。例えば、図1の例と同様にすることも可能である。基準電流設定時における、駆動トランジスタ202～203のソースゲート間電圧を記憶できるようになっていればよい。

【0077】

加えて図2の例は、2ビット分については図1の例と同じ構成で、他の1ビット分については独立に基準電流を設定する構成であるが、pビット分については図1の例と同じ構成、qビット分については独立に基準電流を設定する構成でもよい（p、qは2以上の任意の整数）。さらにxビット分については図1の例と同じ構成、yビット分についてはそれと独立の図1の例と同じ構成でもよい（x、yは2以上の任意の整数）。

【0078】

パネル外における画像データの処理はデジタル電圧データとして行うのが最

も便利であるから、図3の電流データ出力回路における、電流出力DAコンバータ回路292（図2）又は335（図3）は重要である。

【0079】

しかし例えば出力すべきアナログ電流がゼロ又は極めて微小である場合、長い設定時間を要することとなり、図1の電流出力DAコンバータ回路のみでは不都合である。

【0080】

そのようなとき、本発明の電圧出力機能が有用である。以下、電圧源スイッチトランジスタ331～333を用いて、電圧出力する動作を説明する。

【0081】

図3において334は定電圧源（定電圧線）である。図1の電流出力DAコンバータ回路が低電圧の電流出力回路であるから、出力すべきアナログ電流がゼロとなるのは高電圧の場合である。よって334は高電圧の定電圧として用いると都合が良い。この場合、電圧源スイッチトランジスタ331～333はpチャネル型にして直列で接続し、デジタル電圧データが全ビットでロウ信号の場合のみ電圧出力するようにすればよい。

【0082】

なお、図3においては電圧源スイッチトランジスタ331～333をpチャネル型としたが、これに限定されるわけではない。当然、場合によりnチャネル型を用いることも可能である。

【0083】

また電圧源スイッチトランジスタ331～333は、他の構成を採用しても構わない。

【0084】

以上、電流データ出力回路512に相当する342につき説明した。

【0085】

（実施の形態3）

実施の形態3では、本発明の表示装置、電子機器を、いくつか例示する。

【0086】

本発明の電子機器、表示装置としては、モニター、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（オーディオコンポ、カーオーディオ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはDigital Versatile Disc(DVD)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などと、これらに搭載されている表示装置が挙げられる。これら電子機器の具体例を図6に示す。

【0087】

図6（A）はモニターである。この例は筐体2001、支持台2002、表示部2003、スピーカー部2004、ビデオ入力端子2005等を含んでいる。本発明の表示装置は表示部2003に用いることができる。なおモニターには、パソコン用、TV放送受信用、広告表示用などのすべての情報表示装置が含まれる。

【0088】

図6（B）はデジタルスチルカメラである。この例は本体2101、表示部2102、受像部2103、操作キー2104、外部接続ポート2105、シャッター2106等を含んでいる。本発明の表示装置は表示部2102に用いることができる。

【0089】

図6（C）はノート型パーソナルコンピュータである。この例は本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティングマウス2206等を含んでいる。本発明の表示装置は表示部2203に用いることができる。

【0090】

図6（D）はモバイルコンピュータである。この例は本体2301、表示部2302、スイッチ2303、操作キー2304、赤外線ポート2305等を含んでいる。本発明の表示装置は表示部2302に用いることができる。

【0091】

図6 (E) は記録媒体を備えた携帯型の画像再生装置（具体的にはDVD再生装置）である。この例は本体2401、筐体2402、表示部A2403、表示部B2404、記録媒体（DVD等）読み込み部2405、操作キー2406、スピーカー部2407等を含んでいる。本発明の表示装置は、表示部A2403、表示部B2404に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0092】

図6 (F) はゴーグル型ディスプレイ（ヘッドマウントディスプレイ）である。この例は本体2501、表示部2502、アーム部2503等を含んでいる。本発明の表示装置は表示部2502に用いることができる。

【0093】

図6 (G) はビデオカメラである。この例は本体2601、表示部2602、筐体2603、外部接続ポート2604、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609等を含んでいる。本発明の表示装置は表示部2602に用いることができる。

【0094】

図6 (H) は携帯電話である。この例は本体2701、筐体2702、表示部2703、音声入力部2704、音声出力部2705、操作キー2706、外部接続ポート2707、アンテナ2708等を含んでいる。本発明の表示装置は表示部2703に用いることができる。なお、表示部2703は黒色背景に白色文字を表示することで、携帯電話の消費電力を抑制することができる。

【0095】

このように、本発明の適用範囲は極めて広く、あらゆる分野の電子機器等に使用することが可能である。

【0096】

【発明の効果】

本発明は、デジタル電圧値形式のデータを読み込みアナログ電流値形式のデータを出力するDAコンバータ回路において、出力すべきデータが極めて微小の電流である場合、データ出力所要時間を短縮する。

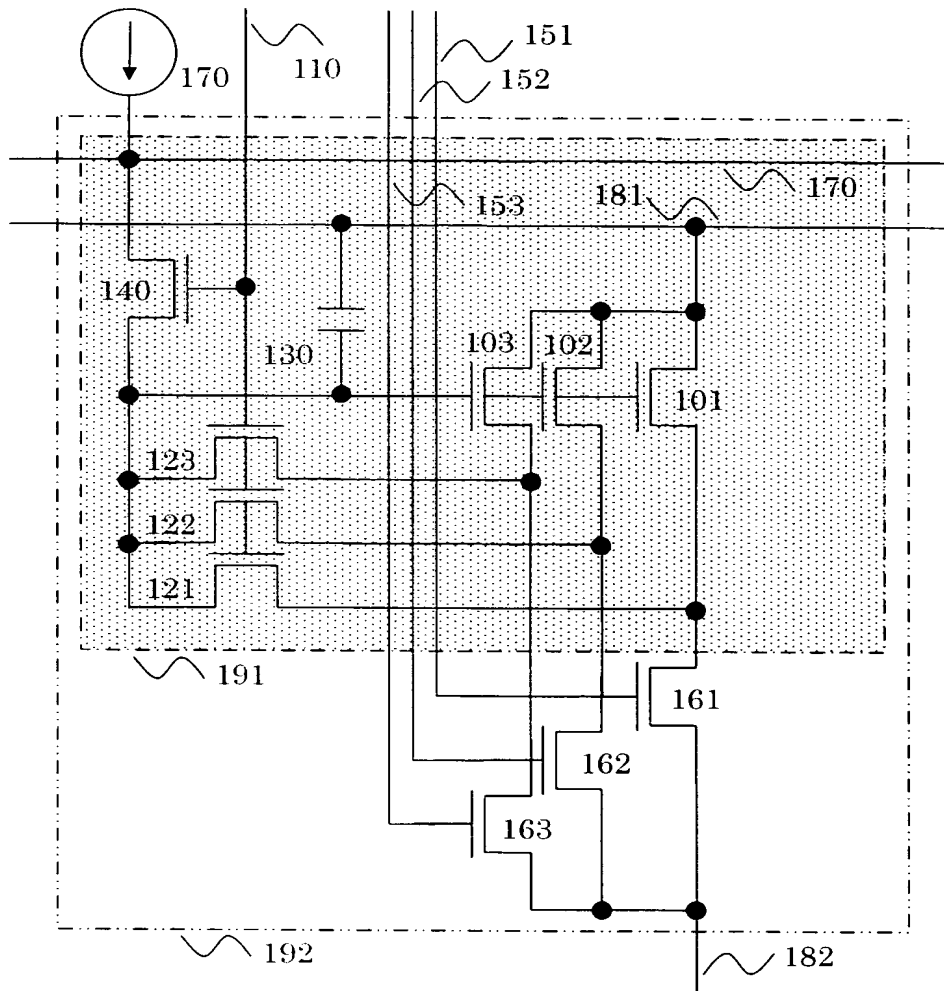
本発明は、電流入力方式のAM型OLED表示装置に使用するデータ駆動回路などに用いることができる。

【図面の簡単な説明】

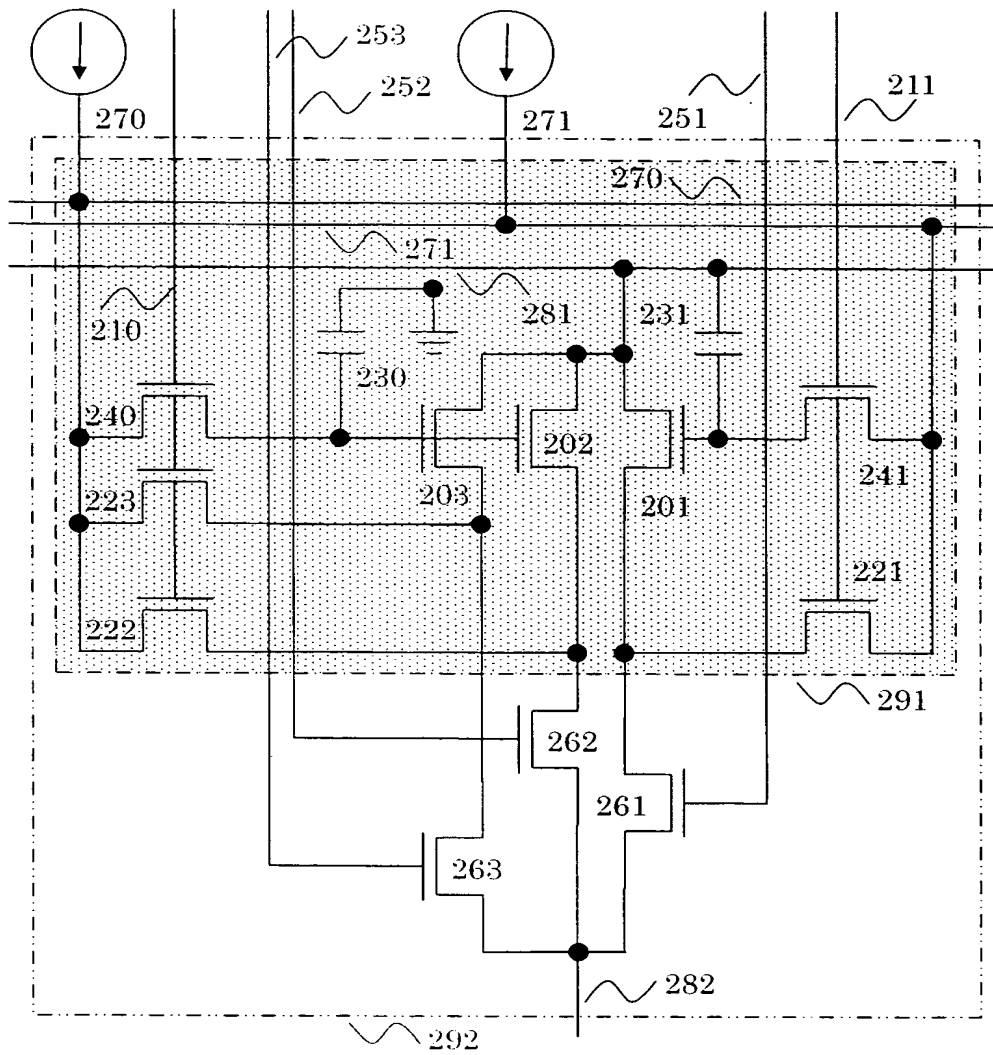
- 【図 1】 電流出力回路、DAコンバータ回路の例を示す図。
- 【図 2】 電流出力回路、DAコンバータ回路の例を示す図。
- 【図 3】 本発明のDAコンバータ回路を用いたデータドライバの構成例を示す図。
- 【図 4】 ラッチ回路の構成例を示す図。
- 【図 5】 表示装置のパネル構成例を示す図。
- 【図 6】 表示装置、電子機器の例を示す図。
- 【図 7】 電流出力回路、DAコンバータ回路を示す図。
- 【図 8】 従来のDAコンバータ回路を用いたデータドライバの構成例を示す図。
- 【図 9】 表示装置のパネル構成例を示す図。
- 【図 10】 セレクタ回路の例を示す図。

【書類名】 図面

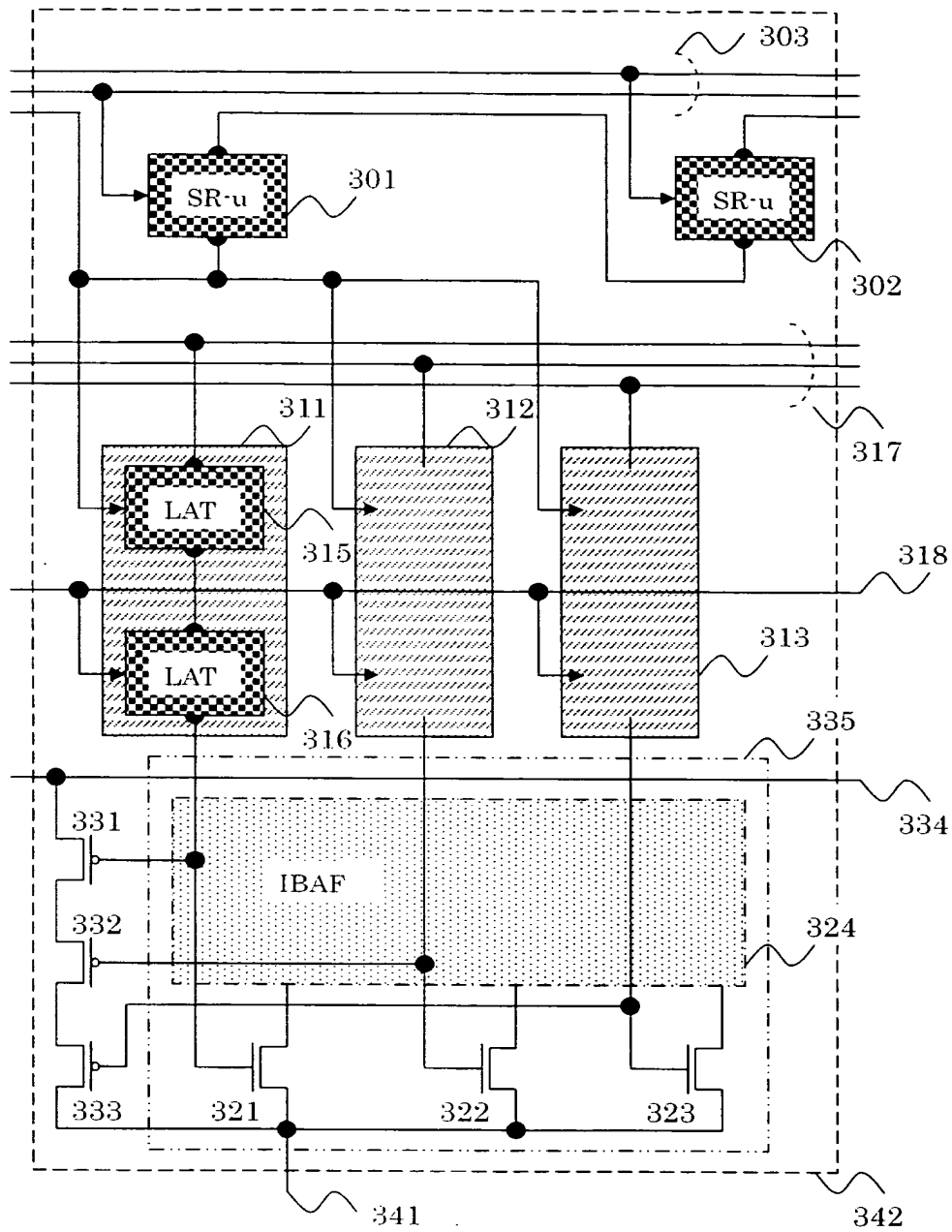
【図 1】



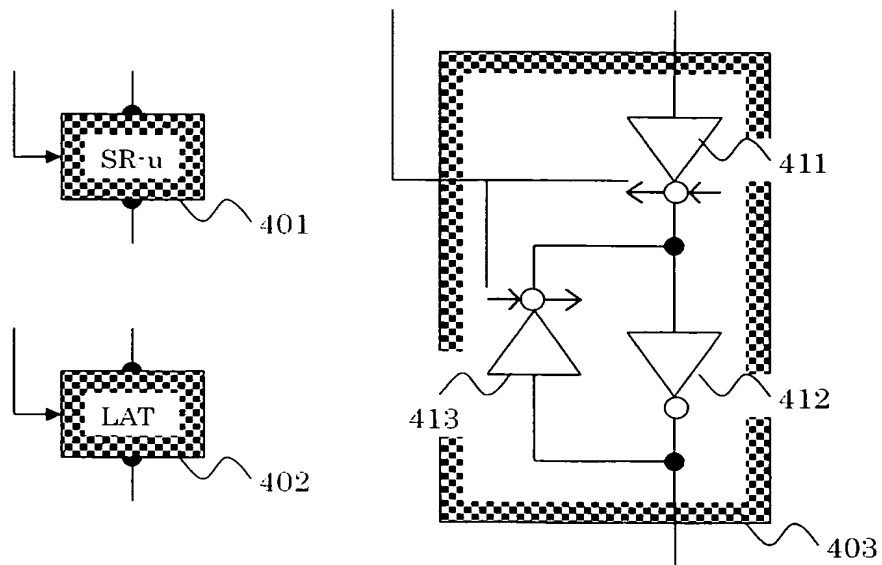
【図 2】



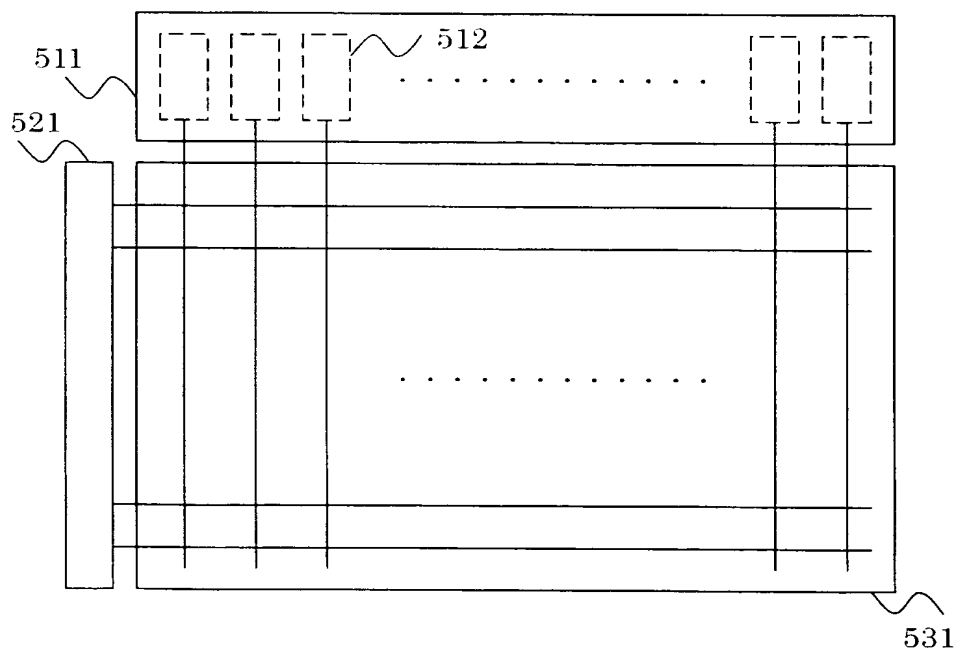
【図 3】



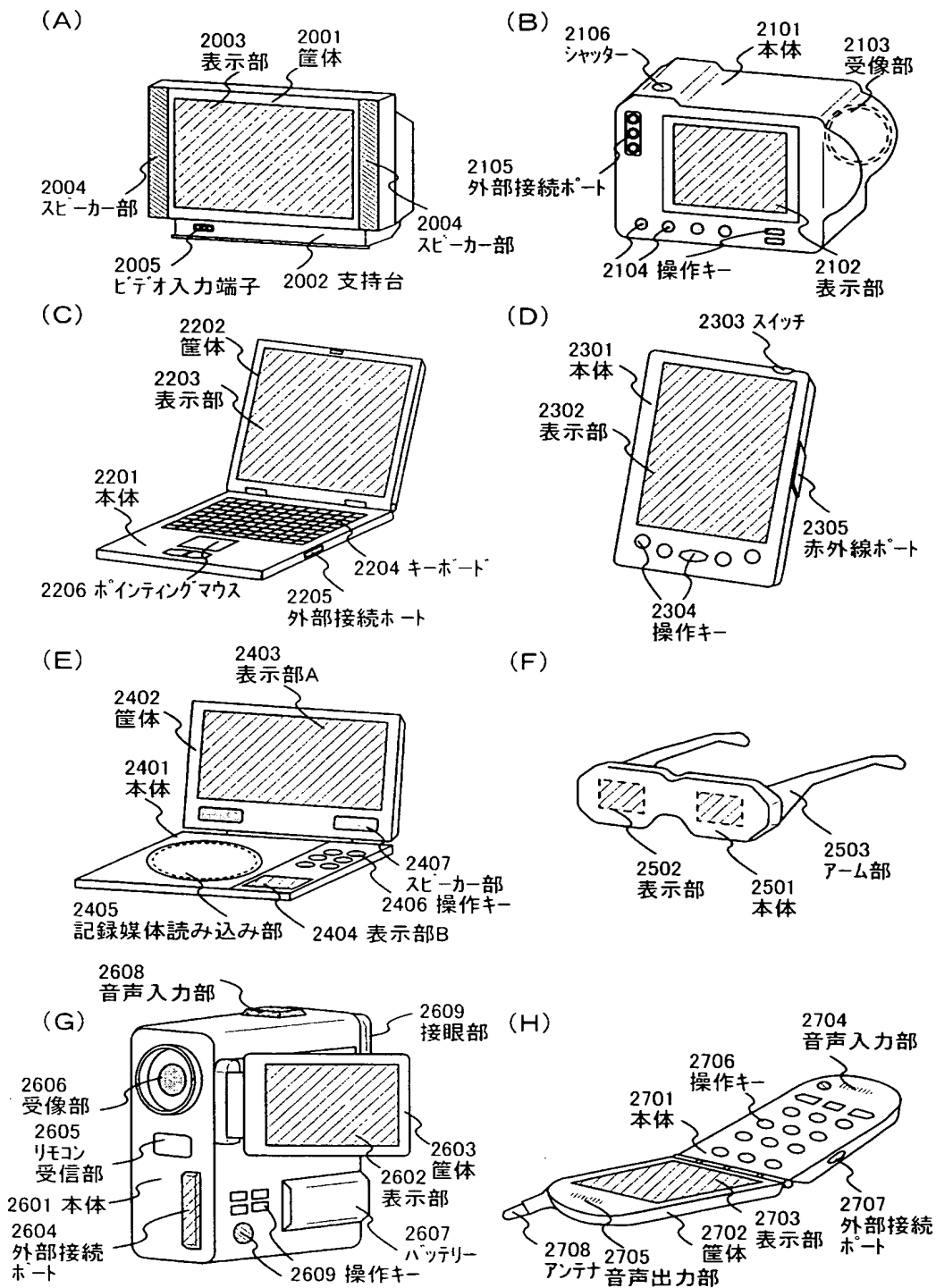
【図 4】



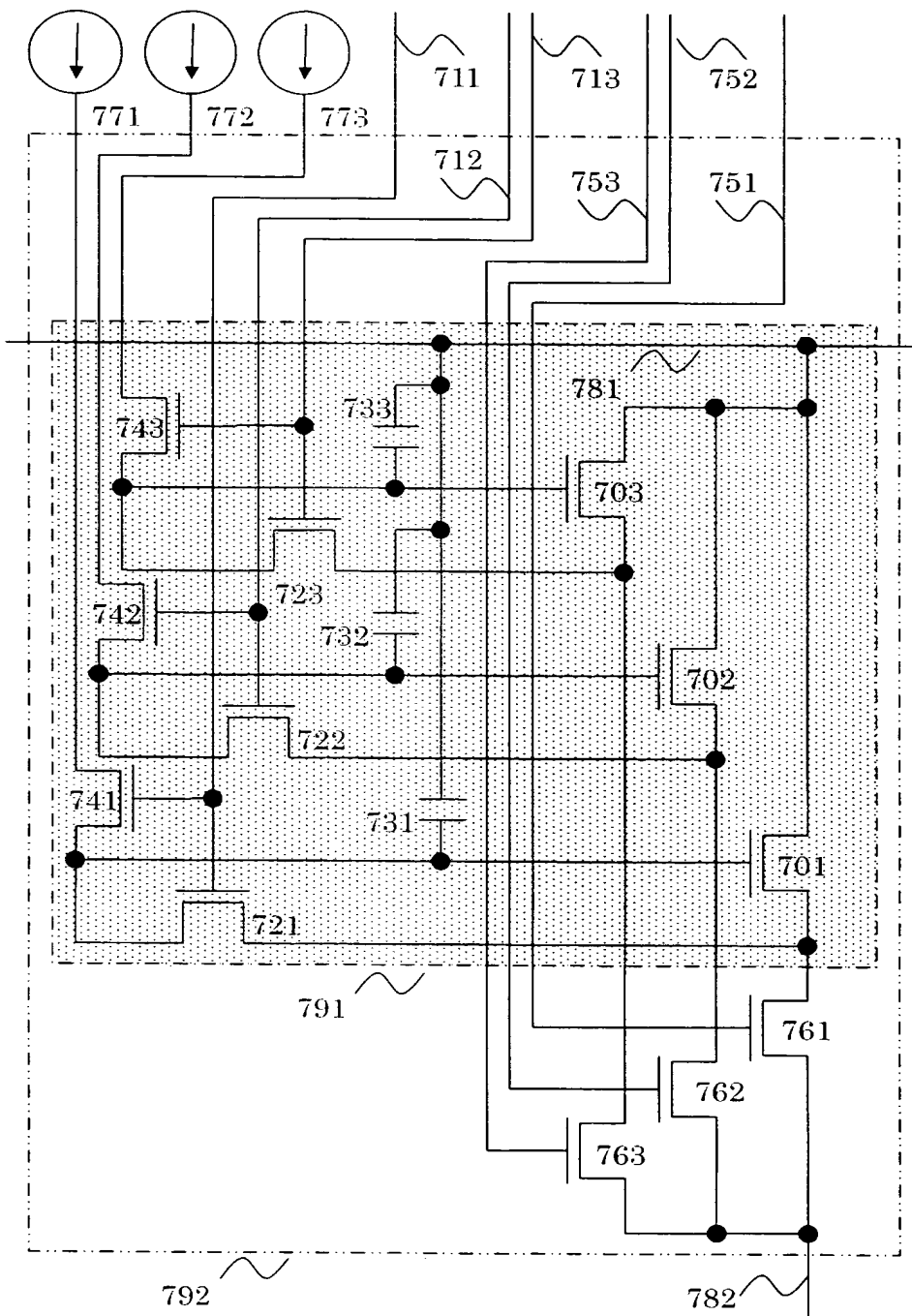
【図 5】



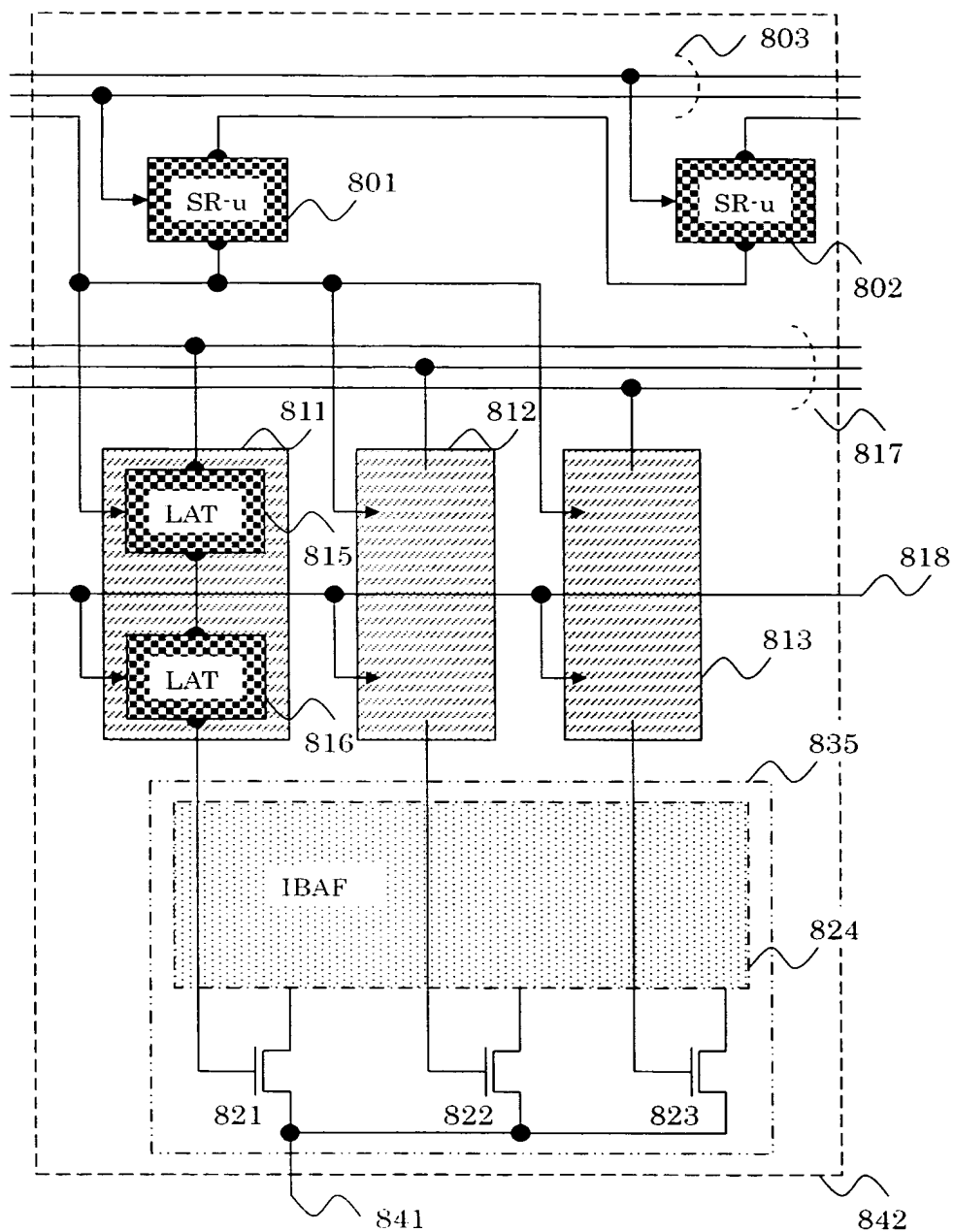
【図 6】



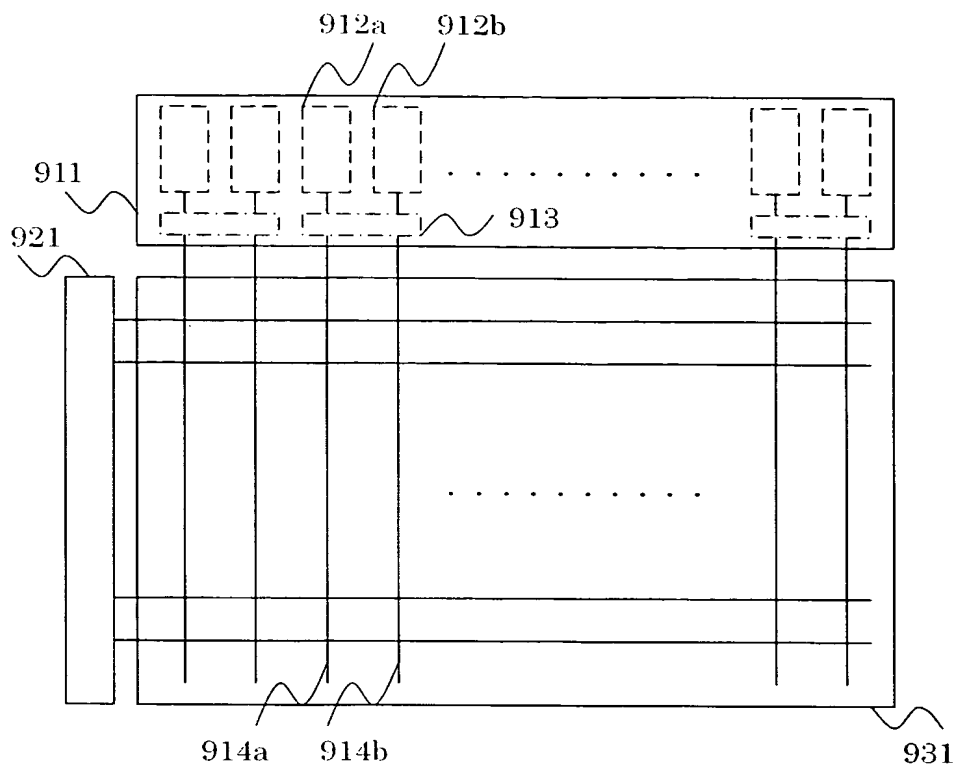
【図 7】



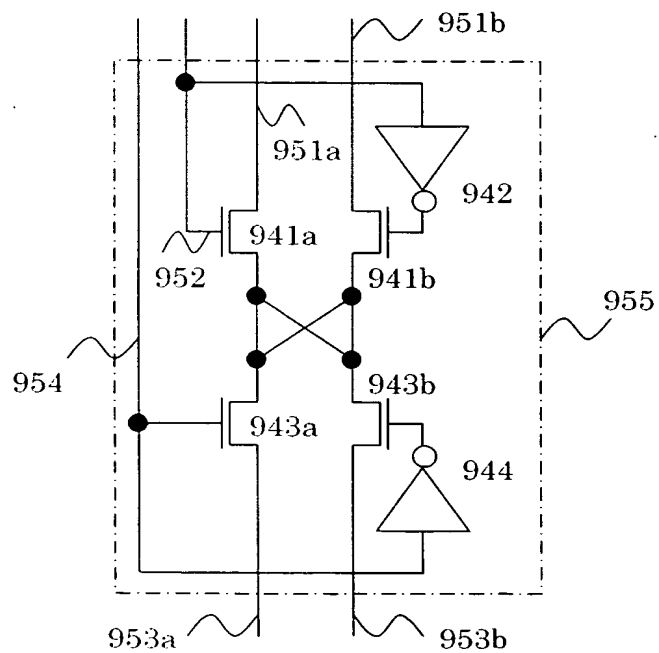
【図 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 デジタル電圧値形式のデータを読み込みアナログ電流値形式のデータ
を出力する D A コンバータ回路において、設定時間の短縮を図る方法を提供する
ことを課題とする。本発明は、A M 型 O L E D 表示装置のデータ駆動回路に用い
ることができる。

【解決手段】 電流出力 D A コンバータ回路に、入力されるデータが所定の場合
には、例外的に定電圧を供給するような機能をもたせる。これにより、低電流デ
ータ時の設定時間等を短くすることができる。

【選択図】 図 3

特願 2 0 0 3 - 0 0 0 6 7 2

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 5 3 8 7 8]

1. 変更年月日

1 9 9 0 年 8 月 1 7 日

[変更理由]

新規登録

住 所

神奈川県厚木市長谷 3 9 8 番地

氏 名

株式会社半導体エネルギー研究所